

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of	:	
	:	
Chaur-Chin YANG et al.	:	Group Art Unit: Not Yet Assigned
	:	
Application No.: Not Yet Assigned	:	Examiner: Not Yet Assigned
	:	
Filed: December 12, 2003	:	
	:	
For: THIN TYPE BALL GRID ARRAY PACKAGE		

CLAIM TO PRIORITY UNDER 35 U.S.C. § 119

Assistant Commissioner of Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Pursuant to the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55, Applicant claims the right of priority based upon **Taiwanese Application No. 092203564** filed **March 6, 2003**.

A certified copy of Applicant's priority document is submitted herewith.

Respectfully submitted,

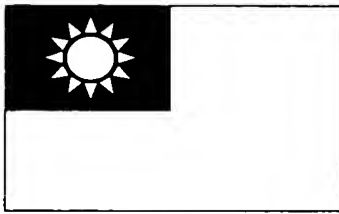
By:



Bruce H. Troxell
Reg. No. 26,592

TROXELL LAW OFFICE PLLC
5205 Leesburg Pike, Suite 1404
Falls Church, Virginia 22041
Telephone: (703) 575-2711
Telefax: (703) 575-2707

Date: December 12, 2003



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder :

申 請 日 : 西元 2003 年 03 月 06 日
Application Date

申 請 案 號 : 092203564
Application No.

申 請 人 : 日月光半導體製造股份有限公司
Applicant(s)

局 長

Director General

蔡 練 生

2003 11 5

發文日期：西元 年 月 日
Issue Date

發文字號：
Serial No.

09221113540

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

新型專利說明書

一、 新型名稱	中文	薄型球格陣列封裝
	英文	THIN TYPE BALL GRID ARRAY PACKAGE
二、 創作人 (共2人)	姓名 (中文)	1. 楊朝欽 2. 王頌斐
	姓名 (英文)	1. Chaur-Chin Yang 2. Sung-Fei Wang
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 台南市西區友愛街201巷3號 2. 高雄市楠梓區加昌路729巷90弄21號
	住居所 (英文)	1. No. 3, Lane 201, Youai St., Shi Chiu, Tainan, Taiwan 703, R.O.C. 2. No. 21, Alley 90, Lane 729, Jiachang Rd., Nantz Chiu, Kaohsiung, Taiwan 811, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或姓名 (英文)	1. Advanced semiconductor Engineering, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英文)	1. No. 26, Chin 3rd Rd., Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Jason Chang



四、中文創作摘要 (創作名稱：薄型球格陣列封裝)

一種薄型球格陣列封裝，至少包含一封裝基板、一積體電路晶片及一封裝膠體，該封裝基板係由一電路板與一虛晶片所組成，該電路板係具有一開孔，該虛晶片係貼設於該電路板之一側並覆蓋該開孔，以形成一容置積體電路晶片之晶穴，該開孔周邊形成有階梯缺口，複數個連接墊形成於該階梯缺口，該晶片係黏設於該虛晶片並與該電路板之連接墊電性連接，而該封裝膠體係形成於該晶穴。

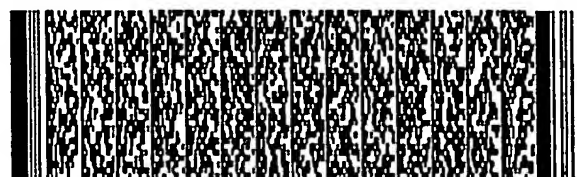
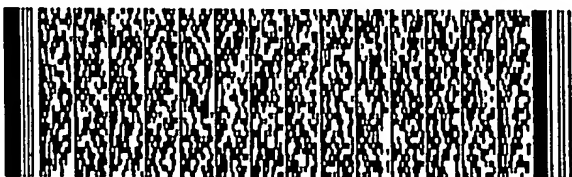
伍、(一)、本案代表圖為：第__1__圖

(二)、本案代表圖之元件代表符號簡單說明：

1 薄型球格陣列封裝

陸、英文創作摘要 (創作名稱：THIN TYPE BALL GRID ARRAY PACKAGE)

A thin type ball grid array package at least comprises a package substrate, a IC chip and a package body. The package body is consisted of a wiring board and a dummy chip. The wiring board has an opening. The dummy chip is attached on a surface of the wiring board and covers the opening so as to form a die-cavity. A ladder gap with a plurality of connecting pads is formed around the opening. The chip is mounted on the dummy chip and electrically connected to the connecting pads of the wiring board. The package body is formed

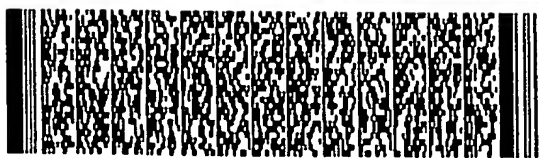


四、中文創作摘要 (創作名稱：薄型球格陣列封裝)

10	封裝基板	11	電路板	
111	上表面	112	下表面	
113	開孔	114	階梯缺口	115 連接墊
116	接球墊			
12	虛晶片	121	金屬膜	122 熱固膠
20	鐳線			
30	積體電路晶片	31	主動表面	32 背面
33	鐳墊	34	黏膠	
40	封裝膠體	50	鐳球	

陸、英文創作摘要 (創作名稱：THIN TYPE BALL GRID ARRAY PACKAGE)

in the die-cavity.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第一百零五條準
第二十四條第一項優先權

二、☐主張專利法第一百零五條準用第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第九十八條第一項☐第一款但書或☐第二款但書規定之期間

日期：



五、創作說明 (1)

【 新 型 所 屬 之 技 術 領 域 】

本創作係有關於一種球格陣列封裝，特別係有關於一種具有虛晶片之薄型球格陣列封裝。

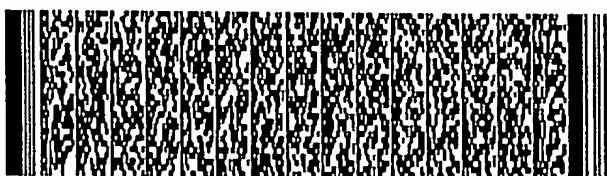
【 先 前 技 術 】

習知薄型球格陣列封裝 (thin type Ball Grid Array package) 係將積體電路晶片容置於BGA封裝基板內，以降低封裝膠體之高度，使得整體封裝結構之厚度降低。

美國專利第6,486,537號「semiconductor package with warpage resistant substrate」揭示有一種薄型球格陣列封裝，其係包含有一設有鏤空晶穴之BGA封裝基板，一晶片係設於該鏤空晶穴中，藉由一模具或一暫時性膠帶置於該晶片之背面，以便封裝膠體之壓模成形，該晶片之背面係顯露於該封裝膠體外部，該薄型球格陣列封裝不但散熱面較小，且該晶片之背面未被該封裝膠體或基板所適當保護，容易損傷該晶片，耐濕耐候性亦較低。

【 新 型 內 容 】

本創作之主要目的係在於提供一種薄型球格陣列封裝，以一虛晶片 (dummy die) 貼附於一具有開孔之電路板，以構成一複合式之封裝基板，該虛晶片並覆蓋該開孔，以形成一容置積體電路晶片之晶穴，且該開孔周邊形成有階梯缺口，該複合式之封裝基板係供一晶片黏設於該封裝基板之虛晶片上，使該薄型球格陣列封裝散熱面增大且對該晶片有較佳保護之功效，該晶片與該虛晶片之黏接



五、創作說明 (2)

界面係不具有熱膨脹應力差異，可減少該晶片之脫層效應。

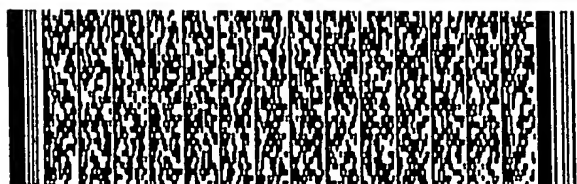
本創作之次一目的係在於提供一種薄型球格陣列封裝，利用一虛晶片貼附於一具有開孔之電路板，該虛晶片並覆蓋該開孔，以形成一容置積體電路晶片之晶穴，以利封裝膠體之形成。

依本創作之薄型球格陣列封裝，其包含有一封裝基板、一積體電路晶片、一封裝膠體及複數個錫球，其中該封裝基板係由一具開孔之電路板與一虛晶片所構成，該電路板係具有一上表面、一下表面及一開孔，該電路板之該下表面或該上表面係可形成接球墊，該開孔周邊形成有階梯缺口，該階梯缺口係具有連接墊，以供打線電性連接該晶片與該電路板，並降低打線之高度，該虛晶片係貼設於該電路板之下表面並覆蓋該開孔，以形成一薄型BGA之晶穴以利該封裝膠體如以填膠等方式形成，該晶片係容置於該晶穴中，其背面係黏設於該虛晶片，以使散熱面擴大，且在該晶片與該虛晶片兩者黏接界面不具有熱膨脹應力差異，可減少該晶片之脫層效應，而增進該薄型球格陣列封裝內晶片之散熱、保護、應力消除以及增進封裝膠體之形成。

【實施方式】

參閱所附圖式，本創作將列舉以下之實施例說明。

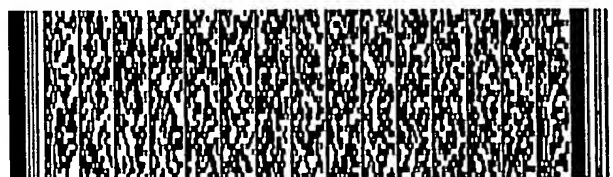
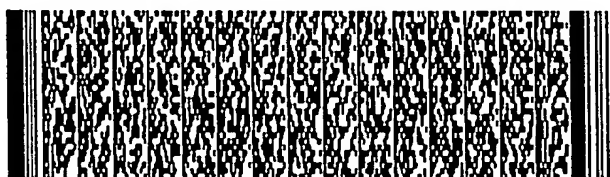
依本創作之一具體實施例，請參閱第1圖所示，一種薄型球格陣列封裝1係主要包含有一封裝基板10、一積體



五、創作說明 (3)

電路晶片30、一封裝膠體40及複數個銲球50，其中該封裝基板10係由一具有開孔113之電路板11與一虛晶片12〔dummy die〕所構成之複合式之封裝基板，其詳述如后。

該電路板11係為玻璃纖維樹脂強化樹脂的印刷電路板，如FR-4、FR-5、BT樹脂，該電路板11係具有多層電路層，較佳地，其係為增層電路板〔build-up wiring substrate〕，該電路板11具有一尺寸大於該積體電路晶片30之開孔113，以供容置該積體電路晶片30，該開孔113係貫通該電路板11之上表面111與下表面112，且在該開孔113周邊係形成有一階梯缺口114〔ladder gap〕，該階梯缺口114上具有複數個連接墊115，另，該電路板11係具有複數個與上述連接墊115電性導接之接球墊116，用以電性接合該些銲球50，該些接球墊116係可形成於該電路板11之上表面111或下表面112，較佳地，在本實施例中，該些接球墊116係形成於該電路板11之下表面112。該虛晶片12係以環氧膠〔epoxy compound〕等熱固膠122貼設於該電路板11之下表面112，該虛晶片12係具有大於該開孔113小於該電路板11之尺寸，並覆蓋該開孔113且不遮蓋該些接球墊116，而形成一供積體電路晶片30容置之晶穴，利用該虛晶片12防止在形成該封裝膠體50時污染該些接球墊116，另該虛晶片12之厚度係不大於該些銲球50，通常該虛晶片12係為不具有實用積體電路之晶片，如報廢晶片、空白矽基板等等，在本實施例中，該虛晶片12係與該電路板

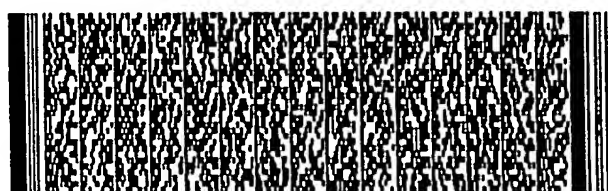
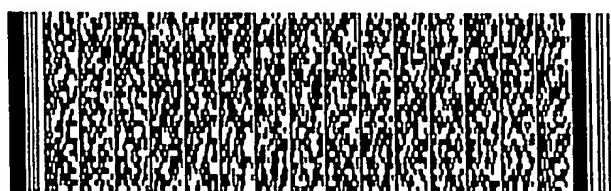


五、創作說明 (4)

11 不存在電性導通關係，較佳地，在該虛晶片12之外露面係以濺鍍 (sputtering) 等技術形成有一銅或金等金屬膜121，以利導熱。

該積體電路晶片30係設於該封裝基板10之晶穴內，該積體電路晶片30係具有一主動表面31及一對應之背面32，而該主動表面31係形成有複數個鉚墊33 (bonding pad)，該積體電路晶片30之背面32係以黏膠34或貼片 (tape) 黏設於該虛晶片12，因該積體電路晶片30與該虛晶片12兩者材質熱膨脹係數相近，故該積體電路晶片30與該虛晶片12之黏接界面不具有熱膨脹應力差異，遠優於習知將晶片直接黏設於一般BGA電路板之封裝結構，並可利用複數個鉚線20 (bonding wire) 連接該積體電路晶片30之該些鉚墊33與該對應之連接墊115，由於該些連接墊115係形成於該階梯缺口114，故該些鉚線20之打線弧高係可有效降低，較佳地，該些鉚線20之打線弧高係不高於該電路板11之上表面111。

該封裝膠體40係形成於該封裝基板10之晶穴，即該電路板11之開孔113，由於該開孔113之一側係被該虛晶片12遮蓋，因此該封裝膠體40之形成不需要特別之貼片或模具，即可達到不污染接球墊116之功效，較佳地，該封裝膠體40可以液態被覆劑 (liquid compound) 注入該開口113中，固化成形，使得該封裝膠體40易於形成，又能降低將該薄型球格陣列封裝1整體厚度到最薄之狀態。而該些鉚球50係接合於該電路板11之該些接球墊116，常見的鉚球



五、創作說明 (5)

50 係為錫鉛凸塊。

因此，上述之本創作係提供一種超薄之球格陣列封裝結構，以該虛晶片12保護對該晶片30之背面32，並有利於該封裝膠體40之形成且不會污染該電路板11之該些接球墊116，同時該虛晶片12具有效擴大該晶片30之散熱面，達到增進薄型球格陣列封裝1之散熱性之功效。

關於本創作之薄型球格陣列封裝1之製造方法係詳述如后，首先，請參閱第2A圖，提供有一電路板11，在封裝製程中該電路板11係複數個一體形成於一大面積之條狀或矩陣印刷電路板，每一電路板11係具有一上表面111、一下表面112及一開孔113，該開孔113周邊係形成有階梯缺口114，在該階梯缺口114上係具有複數個連接墊115；之後，請參閱第2B圖，對應於每一開孔113，以熱固膠122貼設複數個虛晶片12於該電路板11之下表面112並覆蓋該開孔113，以構成一薄型球格陣列具有晶穴之複合式之封裝基板10，較佳地，該虛晶片12表面具有金屬膜121；再請參閱第2C圖，將複數個積體電路晶片30黏設於該些虛晶片12，並以複數個鐸線20電性連接該積體電路晶片30電性連接至電路板11之連接墊115；之後，請參閱第2D圖，以液態塗膠方式將一封裝膠體40填充於該些由開孔113與虛晶片12構成之晶穴，並將該封裝膠體40固化之；最後，將複數個鐸球50接合於該電路板11之下表面112，以製造上述之薄型球格陣列封裝。

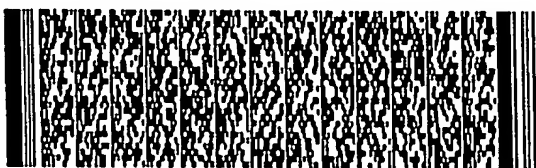
請參閱第3圖，本創作係提出一種等效變化之薄型球



五、創作說明 (6)

格陣列封裝，其中所包含之電路板11、虛晶片12、鐳線20、積體電路晶片30、封裝膠體40及鐳球50係與上述薄型球格陣列封裝相同構件以相同圖號表示，該晶片30係設於由該電路板11之開孔113與該虛晶片12所構成之晶穴，並以該封裝膠體40密封之，該電路板11之下表面112係形成有複數個接球墊116，該些接球墊116接合有複數個鐳球50，在該電路板11之上表面111係形成有堆疊球墊117，其係與對應之接球墊116電性導接，使得複數個薄型球格陣列封裝能垂直向堆疊，在上方薄型球格陣列封裝之鐳球50係焊接於在下方薄型球格陣列封裝之堆疊球墊117，由於該薄型球格陣列封裝具超薄型態，在適當空間內可堆疊更多之薄型球格陣列封裝，且不會損傷該薄型球格陣列封裝內之晶片30。

本創作之保護範圍當視後附之申請專利範圍所界定者為準，任何熟知此項技藝者，在不脫離本創作之精神和範圍內所作之任何變化與修改，均屬於本創作之保護範圍。



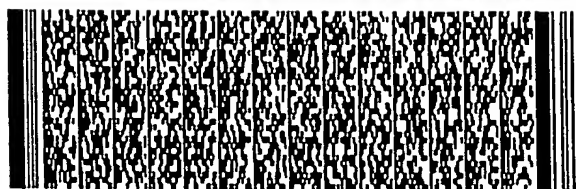
圖式簡單說明

【圖式簡單說明】

- 第 1 圖：本創作之薄型球格陣列封裝截面示意圖；
第 2A 至 2D 圖：本創作之薄型球格陣列封裝在製造過程截面示意圖；及
第 3 圖：本創作另一種薄型球格陣列封裝截面示意圖。

元件符號簡單說明：

- | | | | |
|-----|----------|-----|------|
| 1 | 薄型球格陣列封裝 | | |
| 10 | 封裝基板 | | |
| 11 | 電路板 | 111 | 上表面 |
| 113 | 開孔 | 114 | 階梯缺口 |
| 116 | 接球墊 | 117 | 堆疊球墊 |
| 12 | 虛晶片 | 121 | 金屬膜 |
| 20 | 鐳線 | 122 | 熱固膠 |
| 30 | 積體電路晶片 | 31 | 主動表面 |
| 33 | 鐳墊 | 32 | 背面 |
| 40 | 封裝膠體 | 34 | 黏膠 |
| | | 50 | 鐳球 |



六、申請專利範圍

【申請專利範圍】

1、一種薄型球格陣列封裝，包含：

一封裝基板，其係由一電路板與一虛晶片〔dummy die〕所構成，該電路板係具有一上表面、一下表面及一開孔，其中該下表面係形成有複數個接球墊，該開孔周緣形成有一階梯缺口，該階梯缺口排列有與該些接球墊導通之連接墊，而該虛晶片係貼設於該電路板之下表面並覆蓋該開孔，以構成一晶穴，且該虛晶片係具有不覆蓋該些接球墊之尺寸；

一積體電路晶片，具有一主動表面及一背面，其中該背面係黏設於該虛晶片，使得該積體電路晶片容置於該晶穴，該主動表面係形成有複數個鐸墊，該些鐸墊係與該些連接墊電性導接；

一封裝膠體，形成於該封裝基板之晶穴；及

複數個鐸球，接合該些接球墊。

2、如申請專利範圍第1項所述之薄型球格陣列封裝，其中該虛晶片之厚度係不大於該些鐸球高度。

3、如申請專利範圍第1項所述之薄型球格陣列封裝，其中該虛晶片之外露表面係形成有一金屬膜。

4、如申請專利範圍第1項所述之薄型球格陣列封裝，其中該電路板之上表面係形成有堆疊球墊。

5、一種薄型封裝結構，包含：

一封裝基板，其係由一電路板與一虛晶片〔dummy die〕所構成，該電路板係具有一上表面、一下表面及



六、申請專利範圍

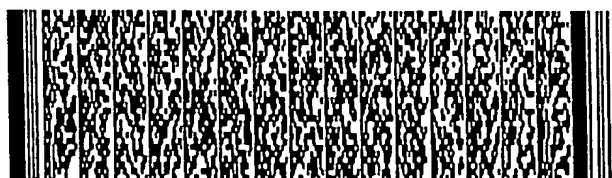
一開孔，其中該開孔周緣形成有一階梯缺口，該階梯缺口排列有複數個連接墊，而該虛晶片係貼設於該電路板之下表面並覆蓋該開孔，以構成一晶穴；


一積體電路晶片，具有一主動表面及一背面，其中該背面係黏設於該虛晶片，該主動表面係形成有複數個鉀墊，該些鉀墊係與該些連接墊電性導接；及

一封裝膠體，形成於該封裝基板之晶穴。


6、如申請專利範圍第5項所述之薄型封裝結構，其中該虛晶片之外露表面係形成有一金屬膜。

7、如申請專利範圍第5項所述之薄型封裝結構，其中該虛晶片係以熱固膠機械性黏設於該電路板。



[illegible]

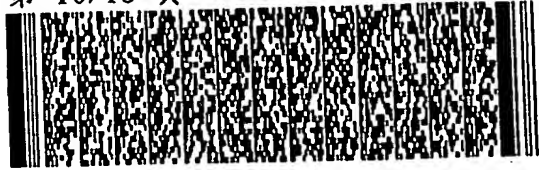
1
 2
 3
 4
 5
 6
 7
 8
 9
 10
 11
 12
 13
 14
 15
 16
 17
 18
 19
 20
 21
 22
 23
 24
 25
 26
 27
 28
 29
 30
 31
 32
 33
 34
 35
 36
 37
 38
 39
 40
 41
 42
 43
 44
 45
 46
 47
 48
 49
 50
 51
 52
 53
 54
 55
 56
 57
 58
 59
 60
 61
 62
 63
 64
 65
 66
 67
 68
 69
 70
 71
 72
 73
 74
 75
 76
 77
 78
 79
 80
 81
 82
 83
 84
 85
 86
 87
 88
 89
 90
 91
 92
 93
 94
 95
 96
 97
 98
 99
 100
 101
 102
 103
 104
 105
 106
 107
 108
 109
 110
 111
 112
 113
 114
 115
 116
 117
 118
 119
 120
 121
 122
 123
 124
 125
 126
 127
 128
 129
 130
 131
 132
 133
 134
 135
 136
 137
 138
 139
 140
 141
 142
 143
 144
 145
 146
 147
 148
 149
 150
 151
 152
 153
 154
 155
 156
 157
 158
 159
 160
 161
 162
 163
 164
 165
 166
 167
 168
 169
 170
 171
 172
 173
 174
 175
 176
 177
 178
 179
 180
 181
 182
 183
 184
 185
 186
 187
 188
 189
 190
 191
 192
 193
 194
 195
 196
 197
 198
 199
 200
 201
 202
 203
 204
 205
 206
 207
 208
 209
 210
 211
 212
 213
 214
 215
 216
 217
 218
 219
 220
 221
 222
 223
 224
 225
 226
 227
 228
 229
 230
 231
 232
 233
 234
 235
 236
 237
 238
 239
 240
 241
 242
 243
 244
 245
 246
 247
 248
 249
 250
 251
 252
 253
 254
 255
 256
 257
 258
 259
 260
 261
 262
 263
 264
 265
 266
 267
 268
 269
 270
 271
 272
 273
 274
 275
 276
 277
 278
 279
 280
 281
 282
 283
 284
 285
 286
 287
 288
 289
 290
 291
 292
 293
 294
 295
 296
 297
 298
 299
 300
 301
 302
 303
 304
 305
 306
 307
 308
 309
 310
 311
 312
 313
 314
 315
 316
 317
 318
 319
 320
 321
 322
 323
 324
 325
 326
 327
 328
 329
 330
 331
 332
 333
 334
 335
 336
 337
 338
 339
 340
 341
 342
 343
 344
 345
 346
 347
 348
 349
 350
 351
 352
 353
 354
 355
 356
 357
 358
 359
 360
 361
 362
 363
 364
 365
 366
 367
 368
 369
 370
 371
 372
 373
 374
 375
 376
 377
 378
 379
 380
 381
 382
 383
 384
 385
 386
 387
 388
 389
 390
 391
 392
 393
 394
 395
 396
 397
 398
 399
 400
 401
 402
 403
 404
 405
 406
 407
 408
 409
 410
 411
 412
 413
 414
 415
 416
 417
 418
 419
 420
 421
 422
 423
 424
 425
 426
 427
 428
 429
 430
 431
 432
 433
 434
 435
 436
 437
 438
 439
 440
 441
 442
 443
 444
 445
 446
 447
 448
 449
 450
 451
 452
 453
 454
 455
 456
 457
 458
 459
 460
 461
 462
 463
 464
 465
 466
 467
 468
 469
 470
 471
 472
 473
 474
 475
 476
 477
 478
 479
 480
 481
 482
 483
 484
 485
 486
 487
 488
 489
 490
 491
 492
 493
 494
 495
 496
 497
 498
 499
 500
 501
 502
 503
 504
 505
 506
 507
 508
 509
 510
 511
 512
 513
 514
 515
 516
 517
 518
 519
 520
 521
 522
 523
 524
 525



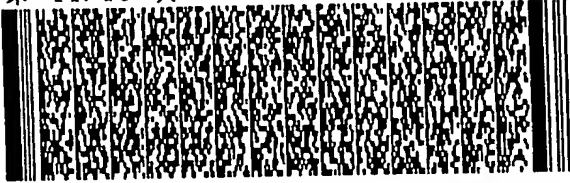
第 10/13 頁



第 10/13 頁



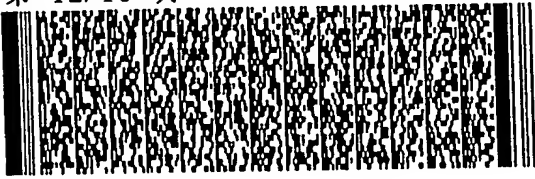
第 11/13 頁



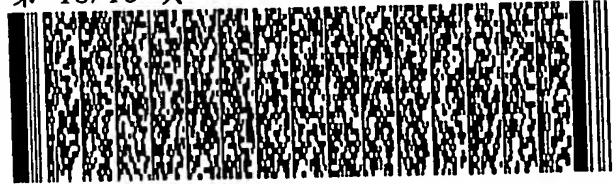
第 12/13 頁

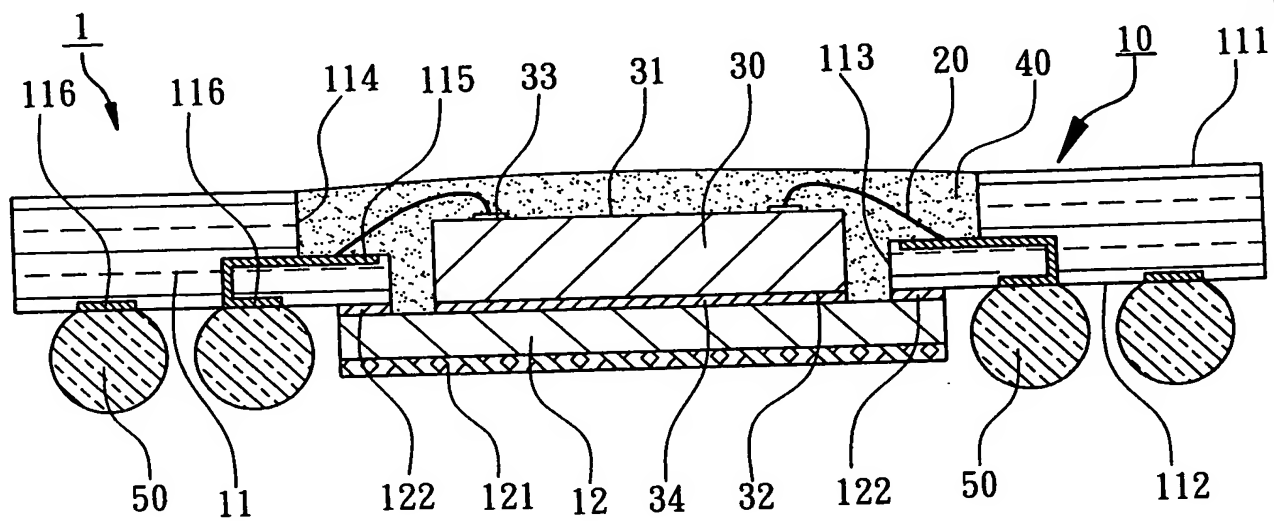


第 12/13 頁

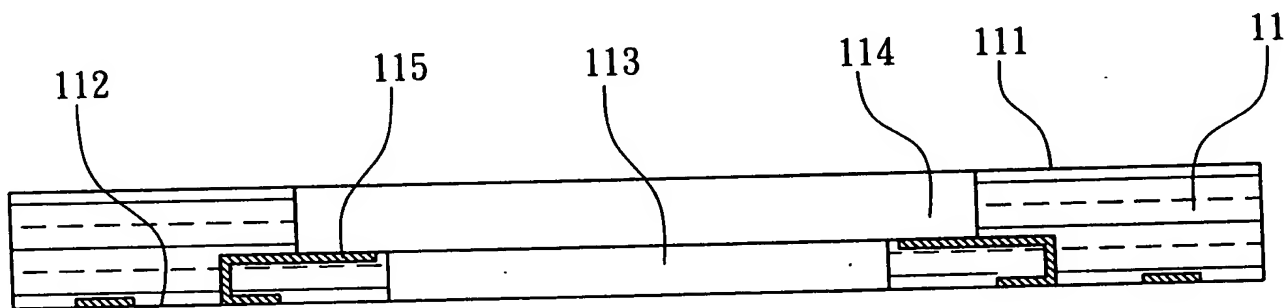


第 13/13 頁

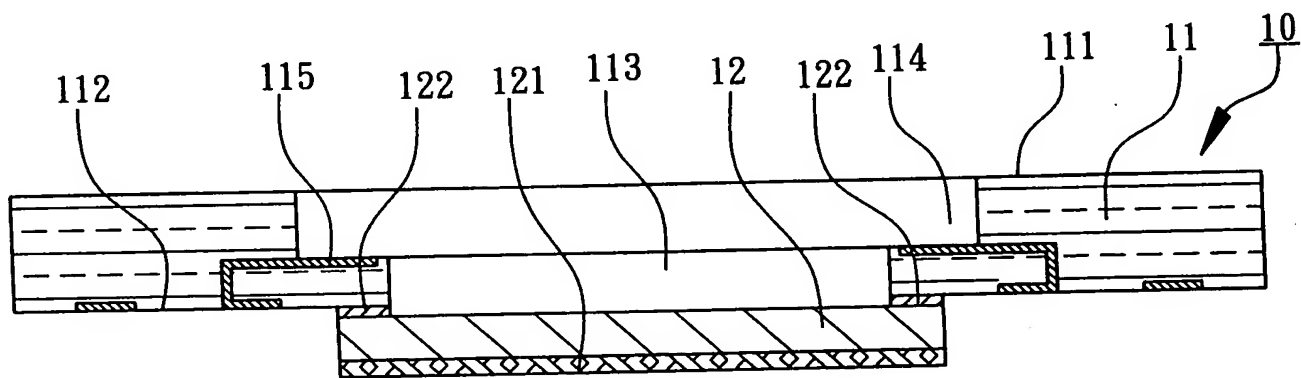




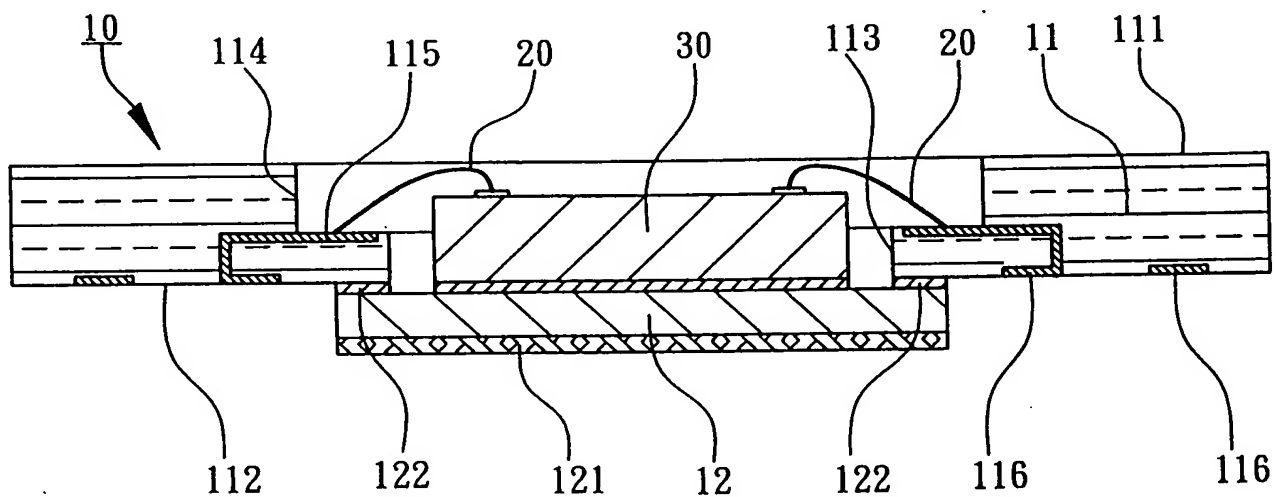
第 1 圖



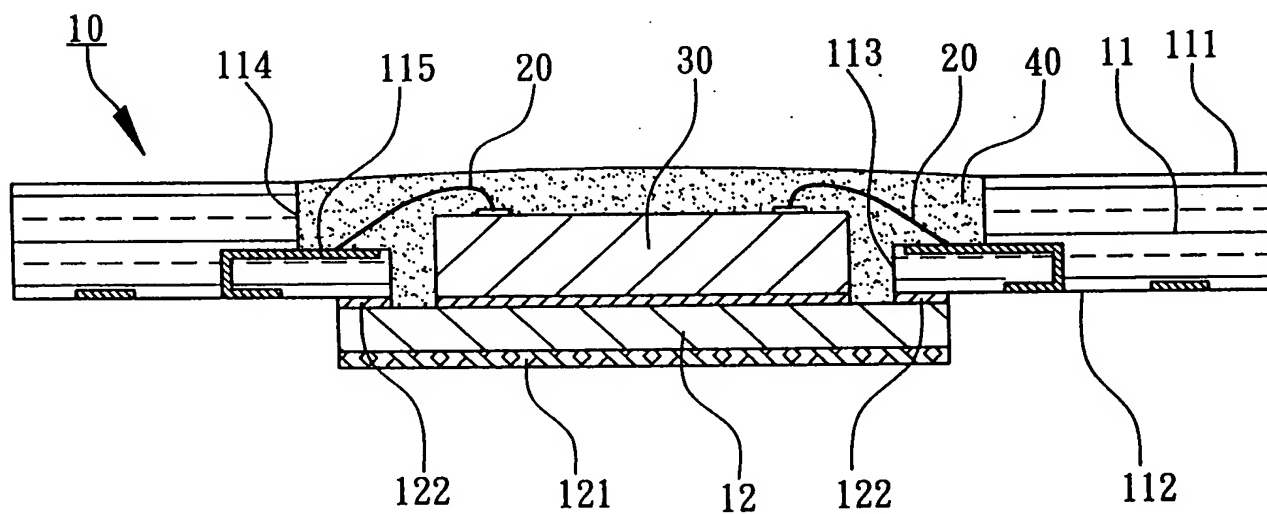
第 2A 圖



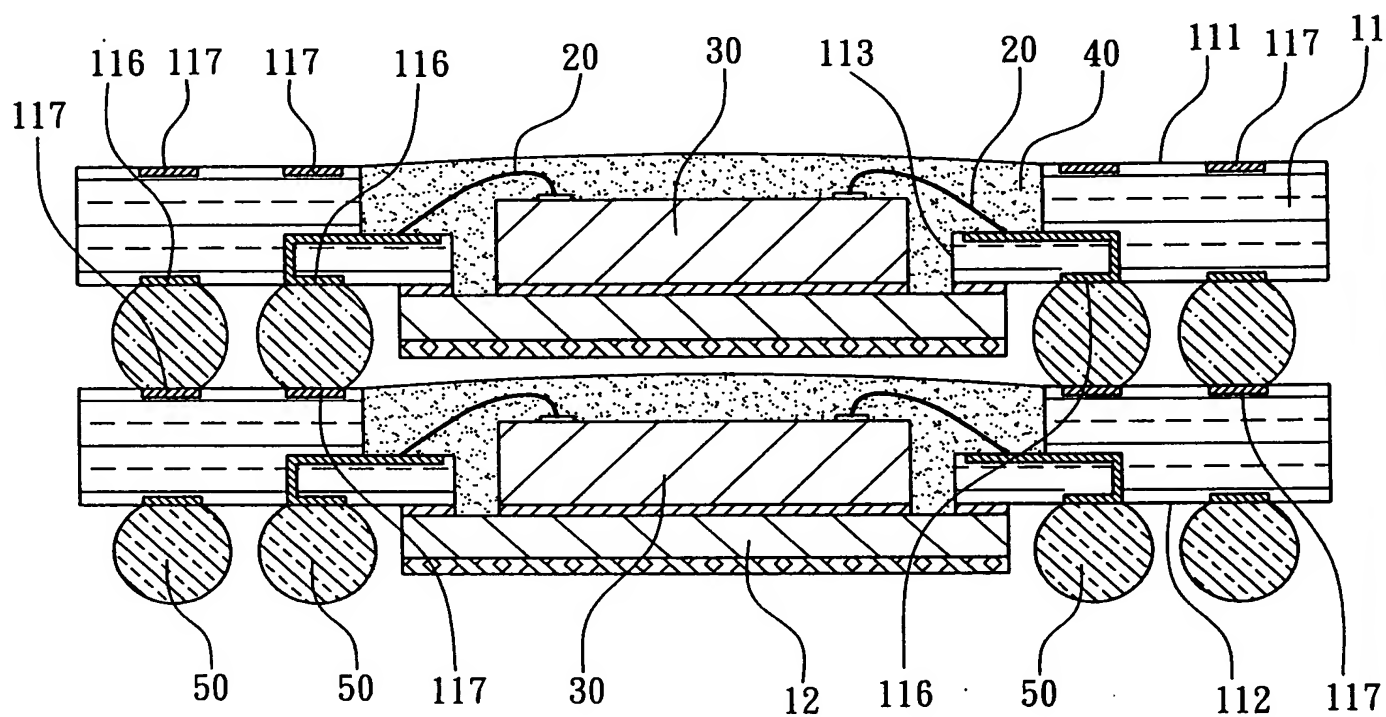
第 2B 圖



第 2C 圖



第 2D 圖



第 3 圖